

ADC 雜訊指數如何影響 RF 接收器設計

Thomas Neu
System Engineer

簡介

為了打造更小的數位接收器，航太與國防產業正著手採用現代直接射頻 (RF) 取樣類比轉數位轉換器 (ADC)。這類 ADC 可免除 RF 混合階段，且更靠近天線，不但可簡化數位接收器設計，同時也可節省成本並縮減印刷電路板 (PCB) 面積。

其中一項關鍵 (且常遭到誤解) 的參數是 ADC 雜訊指數，其設定了 RF 增益量，以偵測極小的訊號。本文說明如何計算 RF 取樣 ADC 的雜訊指數，並說明 ADC 雜訊指數如何影響 RF 訊號鏈設計。

雜訊指數在數位接收器設計中為什麼很重要

數位接收器在兩種不同的情境下工作，如圖 1 中所示。在阻斷情況下，存在干擾或干擾器，接收器必須以較低的 RF 增益運作，才能避免使 ADC 飽和。在此配置中，ADC 被干擾因素驅動至接近全刻度，因此，ADC 的大訊噪比 (SNR) 決定了可以偵測到多弱的訊號。還有其他降級機制，例如相位雜訊及無雜散動態範圍。

在第二個情境中，不存在干擾。偵測最弱訊號完全取決於接收器固有的本底雜訊，這種情況通常以接收器靈敏度來衡量。雜訊指數可測量接收器訊號鏈中元件所造成的 SNR 劣化情形。

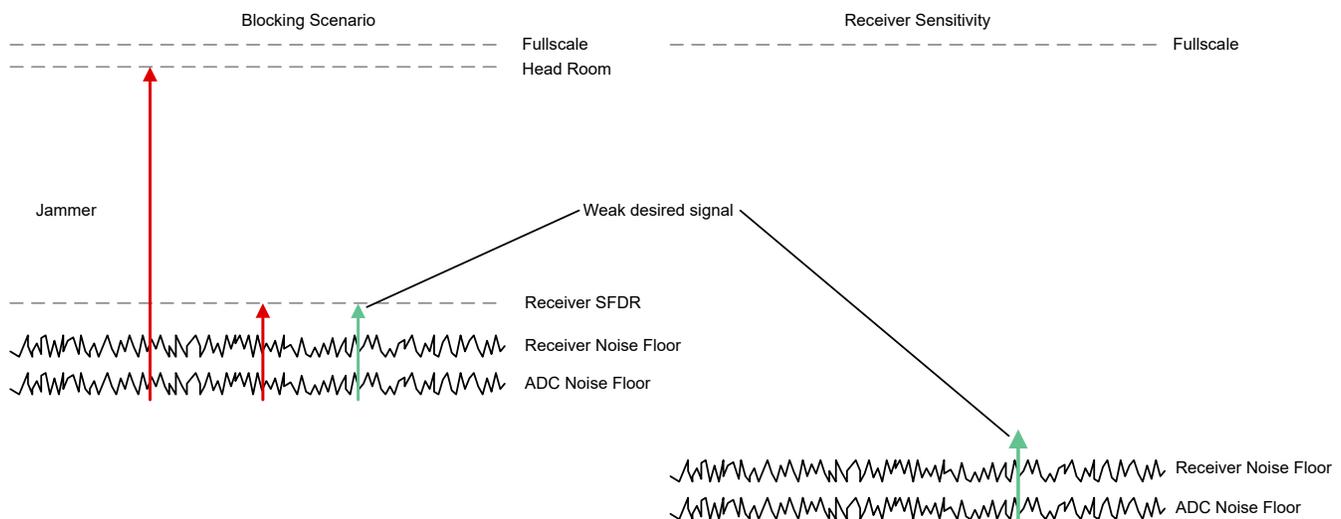


圖 1. 阻斷或干擾情況與接收器靈敏度場景的比較。

ADC 的雜訊指數通常是接收器最弱的環節 (約為 25 至 30dB)，而低雜訊放大器 (LNA) 的雜訊指數則低至 <1dB。然而，可以透過使用 LNA 向類比 RF 前端 (靠近天線) 增加增益來改善 ADC 雜訊指數。1dB 接收器系統雜訊指數與 2dB 接收器系統雜訊指數間的差異約為 20%。這種差異意味著具有 1dB 雜訊指數的接收器可以偵測到振幅弱大約 20% 的訊號。在軟體定義無線電 (SDR) 中，這意味著無線電輸出功率降低，從而可以延長電池壽命，而在雷達中，這意味著可以覆蓋更遠的距離。

SDR 或數位雷達中的現代接收器設計使用直接射頻取樣 ADC 來縮小尺寸、減輕重量和降低功率。此架構無需 RF 降頻轉換混合級，從而簡化了接收器設計。ADC 雜訊指數越好，所需的增益就越少，從而節省了更多成本。此外，使用較少的額外 RF 增益意味著當存在干擾時，需要降低的增益較少，而接收器的動態範圍則更高。

計算系統的雜訊指數

您可以使用 Friis 方程式來計算接收器系統的雜訊指數。假設一個配備兩個放大器和一個 ADC 的簡化理想接收器 (如 **圖 2** 中所示)，**方程式 1** 計算串接系統的雜訊指數如下：

$$F_{System\text{公尺}} = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 \cdot G_2} + \dots + \frac{F_n - 1}{G_1 \cdot G_2 \dots G_{n-1}} \quad (1)$$

其中 F_x 是雜訊因數，而 G_x 則是功率增益。

以分貝為單位的系統雜訊指數為：

$$NF_{System\text{公尺}} = 10 \log(F_{System\text{公尺}}) \quad (2)$$

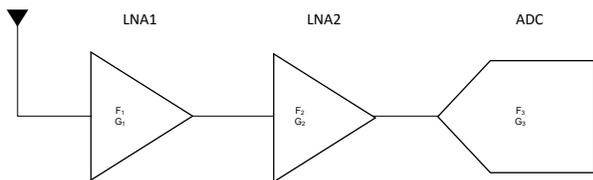


圖 2. 典型的接收訊號鏈。

要強調的重點有兩個：系統雜訊指數主要由第一個元件的雜訊指數 F_1 主導，只要增益 G_1 和 G_2 夠大，ADC 雜訊指數 F_3 可以忽略不計。

在具有兩個串接 LNA 的系統中比較雜訊指數為 20dB 和 25dB 的兩種不同 ADC，結果顯示系統雜訊指數存在巨大差異 (請參閱 **表 1**)。

	LNA1	LNA2	ADC1	ADC2
雜訊指數	1 dB	3 dB	20 dB	25 dB
增益	12 dB	15 dB	0 dB	0 dB
最終產生的系統雜訊指數			1.8 dB	2.9 dB

表 1. 具有兩個 LNA 級的系統雜訊指數。

要使 ADC2 欄中列出的系統 (雜訊指數相差 5dB) 達到低於 2dB 的系統雜訊指數，需要使用第三個 LNA (雜訊指數 = 3dB) 額外增加 10dB 增益，如 **表 2** 所示。

表 2 重點介紹了 ADC 雜訊指數對整個系統雜訊指數的影響。增加第三個 LNA 會增加成本、電路板面積 (搭配的元件、佈線和電源) 和系統功耗，並進一步降低全刻度的餘量。

	LNA1	LNA2	LNA3	ADC2
雜訊指數	1 dB	3 dB	3 dB	25 dB
增益	12 dB	15 dB	10 dB	0 dB
最終產生的系統雜訊指數				1.4 dB

表 2. 使用 ADC2 且具有三個 LNA 級的系統雜訊指數。

假設目標接收器靈敏度為 -172dBm，或非常微弱的訊號，只比絕對本底雜訊高出 2dB (-174dBm + 2dB = -172dBm)，則此接收器所需的雜訊指數應大於 2dB。以上述 ADC1 為例 (雜訊指數為 20dB，如 **表 1** 中所列)，串接系統雜訊指數為 1.8dB。

如 **圖 3** 和 **表 3** 所示，增益為 12dB 的 LNA1 將輸入訊號和雜訊提高了 12dB，同時將雜訊指數降低 1dB (雜訊指數 $LNA1 = 1dB$)。LNA2 將訊號和雜訊提高了 15dB。儘管 LNA2 具有較高的固有雜訊 **圖 3** dB，但由於 LNA1 的增益為 12dB，其影響降低到僅 0.2dB。

最後，ADC1 的雜訊貢獻 (雜訊指數 = 20dB) 降至僅 0.6dB，因為兩個 LNA 的增益一共降低了 27dB。因此，最終您會得到 1.8dB 的系統雜訊指數，這會留下約 0.2dB 的餘量來偵測微弱的輸入訊號。

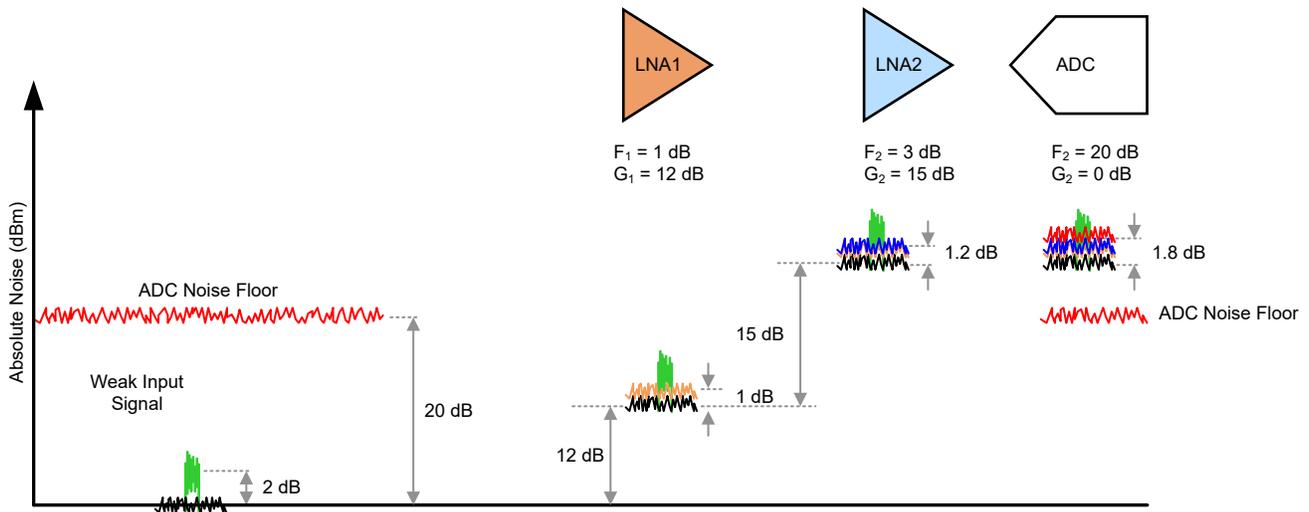


圖 3. 接收訊號鏈中個別雜訊指數貢獻的圖示說明。

	LNA1	LNA2	ADC
雜訊指數 (dB)	1	3	20
增益 (dB)	12	15	0
雜訊功率 (線性) 10^(雜訊指數/10)	1.26 10 ^{1/10}	2 10 ^{3/10}	100 10 ^{20/10}
功率增益 (線性) 10^(增益/10)	15.85 10 ^{12/10}	31.62 10 ^{15/10}	1 10 ^{0/10}
僅 LNA1 的雜訊指數 (dB)	1	-	-
僅 LNA1 + LNA2 的雜訊指數 (dB)	1.2 10log[1.26+(2-1)/15.85]		-
LNA1 + LNA2 + ADC 的雜訊指數 (dB)	1.8 10log[1.26 + (2-1)/15.85 + (100-1)/15.85/31.62]		
對系統雜訊指數的額外影響 (dB)	1	0.2	0.6

表 3. 計算個別雜訊指數的貢獻。

高速資料轉換器很少會在裝置專屬產品規格表中列出雜訊指數。ADC 的雜訊指數可以使用 **ADC32RF54** RF 取樣 ADC 的共用產品規格表參數 (請參閱 **表 4**) 使用 **方程式 3** 來計算。

參數	說明	ADC32RF54 (1 倍 AVG)	ADC32RF54 4 (2 倍 AVG)
V	輸入全刻度電壓峰值至峰值 (V _{pp})	1.1	1.35
R _{IN}	輸入終端阻抗 (Ω)	100 Ω	
FS	ADC 取樣率	2.6 GSPS	
SNR	小輸入訊號的 ADC SNR (dBFS), 通常為 -20dBFS	64.4	67.1

表 4. ADC32RF54 的產品規格表參數。

$$\text{ADC Noise figure (dB)} = P_{\text{SIG,dBm}} + 174 \text{ dBm} - \text{SNR (dBFS)} - \text{bandwidth (Hz)}$$

$$\text{NF}_{\text{ADC}} \text{ (dB)} = 10\log\left(\frac{\left(\frac{V}{2 \times \sqrt{2}}\right)^2}{R_{\text{IN}}} \times 1000\right) + 174 - \text{SNR} \quad (3)$$

$$- 10\log\left(\frac{FS}{2}\right)$$

對於 **ADC32RF54**, 雜訊指數計算結果為:

雜訊指數 (1 倍 AVG) = 20.3dB

$$10\log[(1.1/2/\sqrt{2})^2/100 \times 1000] + 174 - 64.4 - 10\log[2.6e9/2]$$

雜訊指數 (2 倍 AVG) = 19.3dB

$$10\log[(1.35/2/\sqrt{2})^2/100 \times 1000] + 174 - 67.1 - 10\log[2.6e9/2]$$

結論

接收器雜訊指數是一個重要的系統設計參數，因為它決定了最弱的可偵測訊號。除了非常低的固有雜訊指數外，**ADC32RF54** 還提供高訊噪比，這使得系統即使在輸入功率訊號較大的情況下也能維持其雜訊指數。若 ADC 具有相同雜訊系數，但是訊噪比較低，則需要降低輸入增益以防止飽和，在這種情況下，ADC 雜訊指數會開始增加整體雜訊。

重要聲明：本文所述德州儀器及其子公司相關產品與服務經根據 TI 標準銷售條款及條件。建議客戶在開出訂單前先取得 TI 產品及服務的最新完整資訊。TI 不負責應用協助、客戶的應用或產品設計、軟體效能或侵害專利等問題。其他任何公司產品或服務的相關發佈資訊不構成 TI 認可、保證或同意等表示。

所有商標均為其各自所有者的財產。

IMPORTANT NOTICE AND DISCLAIMER

TI PROVIDES TECHNICAL AND RELIABILITY DATA (INCLUDING DATA SHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES "AS IS" AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS AND IMPLIED, INCLUDING WITHOUT LIMITATION ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for skilled developers designing with TI products. You are solely responsible for (1) selecting the appropriate TI products for your application, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, regulatory or other requirements.

These resources are subject to change without notice. TI grants you permission to use these resources only for development of an application that uses the TI products described in the resource. Other reproduction and display of these resources is prohibited. No license is granted to any other TI intellectual property right or to any third party intellectual property right. TI disclaims responsibility for, and you will fully indemnify TI and its representatives against, any claims, damages, costs, losses, and liabilities arising out of your use of these resources.

TI's products are provided subject to [TI's Terms of Sale](#) or other applicable terms available either on [ti.com](https://www.ti.com) or provided in conjunction with such TI products. TI's provision of these resources does not expand or otherwise alter TI's applicable warranties or warranty disclaimers for TI products.

TI objects to and rejects any additional or different terms you may have proposed.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated